

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 06216614  
PUBLICATION DATE : 05-08-94

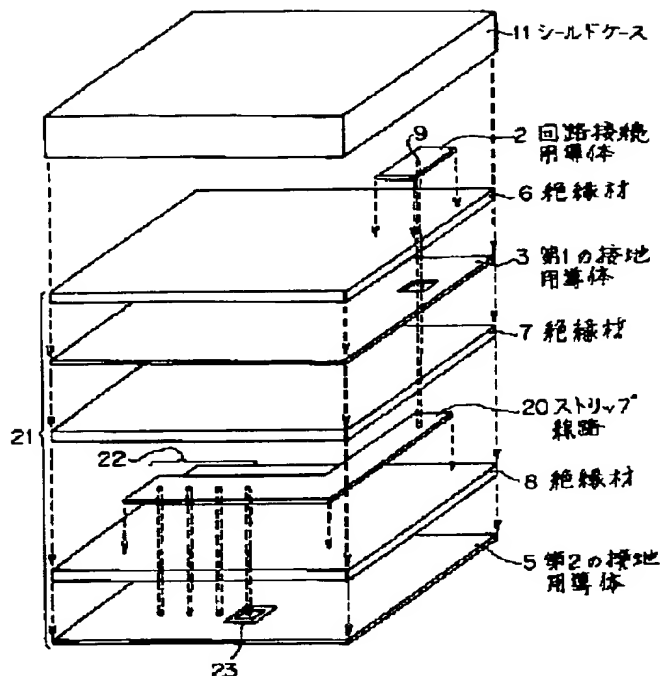
APPLICATION DATE : 14-01-93  
APPLICATION NUMBER : 05005155

APPLICANT : CASIO COMPUT CO LTD;

INVENTOR : MIYAZAKI YOSHITO;

INT.CL. : H01P 7/08 H03B 5/18 H05K 3/46

TITLE : RESONANCE FREQUENCY  
ADJUSTING METHOD FOR STRIP LINE



ABSTRACT : PURPOSE: To adjust the resonance frequency of a strip line without lowering the parts mounting efficiency of a multilayer board.

CONSTITUTION: One end of a strip line 20 is connected with a conductor 2 for circuit connection to be the first layer of a four-layer printed board 21 via a through hole 9 and the other end side of the strip line 20 is connected with the a second conductor 5 for ground to be the fourth layer via plural through holes 22. The resonance frequency of the strip line 20 is adjusted by successively cutting the connection of the through holes 22 provided in tandem in the length direction of the strip line 20 and the second conductor 5 for ground and prolonging the length of the strip line 20 or increasing inductance.

COPYRIGHT: (C)1994,JPO&Japio

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-216614

(43) 公開日 平成6年(1994)8月5日

(51) Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F 1

技術表示箇所

H 0 1 P 7/08

H 0 3 B 5/18

H 0 5 K 3/46

C 8124-5 J

Z 6921-4 E

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平5-5155

(22) 出願日 平成5年(1993)1月14日

(71) 出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72) 発明者 宮崎 良人

東京都羽村市栄町3丁目2番1号 カシオ

計算機株式会社羽村技術センター内

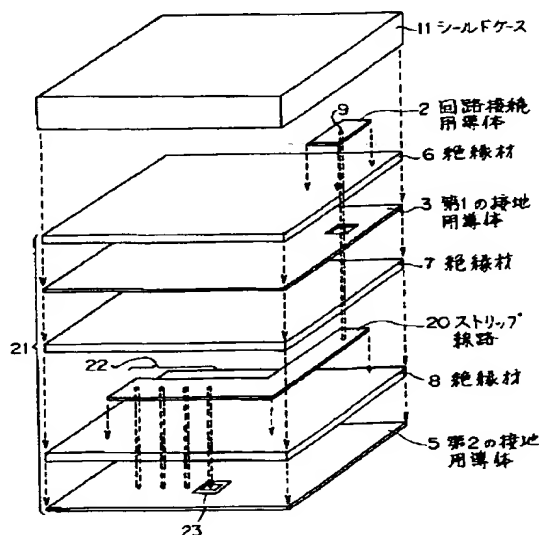
(74) 代理人 弁理士 大菅 義之

(54) 【発明の名称】 ストリップ線路の共振周波数調整方法

(57) 【要約】

【目的】 本発明の目的は、多層基板の部品実装効率を低下させずにストリップ線路の共振周波数を調整できるようにすることである。

【構成】 ストリップ線路20の一端をスルーホール9を介して4層プリント基板21の1層目の回路接続用導体2に接続し、ストリップ線路20の他端側を複数のスルーホール22を介して4層目の第2の接地用導体5に接続する。そして、ストリップ線路20の長さ方向に縦列に設けられたスルーホール22と第2の接地用導体5との接続を順に切断して、ストリップ線路20の長さを長く、すなわちインダクタンスを大きくすることで、ストリップ線路20の共振周波数を調整する。



## 【特許請求の範囲】

【請求項1】 少なくとも一方の面に回路部品が実装される回路接続用導体が形成され、他方の面に接地用導体が形成され、中間層にストリップ線路が形成された多層基板において、

前記ストリップ線路の一端をスルーホールを介して前記回路接続用導体に接続し、該ストリップ線路の他端側を複数のスルーホールを介して前記接地用導体に接続し、前記複数のスルーホールと前記接地用導体との間の接続を適宜切断して前記ストリップ線路の共振周波数を調整することを特徴とするストリップ線路の共振周波数調整方法。

【請求項2】 前記スルーホールを前記ストリップ線路の長さ方向に縦列に複数設けたことを特徴とする請求項1記載のストリップ線路の共振周波数調整方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多層基板におけるストリップ線路の共振周波数の調整方法に関する。

【0002】

【従来の技術】中間層にストリップ線路を形成し、その上下を接地用導体で挟んだ構造の多層プリント基板が高周波の発振回路、フィルタ回路等に利用されている。

【0003】この種の多層プリント基板では、ストリップ線路の寸法のばらつき、層間絶縁材の厚さのばらつき、あるいは絶縁材の誘電率のばらつき等によりストリップ線路の共振周波数が目的とする周波数からずれる場合があるので、基板表面からストリップ線路の容量成分を変化させて共振周波数を調整できるようにしていた。

【0004】図3は、従来の多層プリント基板1の分解斜視図である。多層プリント基板1の1層目には、共振周波数調整用の導体パターン2aを含む回路接続用導体（例えば、銅箔からなる）2が形成され、2層目には第1の接地用導体3が形成され、3層目にはストリップ線路4が形成され、4層目には第2の接地用導体5が形成されている。そして、各層は、層間絶縁材6、7、8により絶縁されている。

【0005】ストリップ線路4の一端は、スルーホール9を介して1層目の回路接続用導体2に電気的に接続され、ストリップ線路4の他端はスルーホール10を介して第2の接地用導体5に接続されている。

【0006】多層プリント基板1の部品実装面は、金属性のシールドケース11で覆われ、外部に磁気が漏れないような構造となっている。なお、図3には、1層目の回路接続用導体2として共振周波数調整用の導体パターン2aだけを示してあるが、この他に発振回路を構成する回路部品等を接続する導体パターンも形成されている。

【0007】図4は、多層プリント基板1に実装される発振回路の回路構成図である。図4の発振回路は、共振

周波数を設定する共振回路部12と発振回路部13とで構成されている。

【0008】共振回路部12は、ストリップ線路4の形状、寸法等により決まるインダクタンス成分L0及び容量成分C0と、バリキャップダイオードVDと、コンデンサC1とで構成されている。バリキャップダイオードVDは、入力端子に印加される電圧により容量が変化するダイオードである。

【0009】発振回路部13は、コレクタ接地の一般的なコルピッツ発振回路であり、共振回路部12とトランジスタTR1のベースとを接続する結合コンデンサC2と、直流電源Vccを分圧してトランジスタTR1にバイアス電圧を供給する抵抗R1、R2、R3と、同調用コンデンサC3、C4と、高周波接地用コンデンサC5と、チョークコイルL1と、出力結合コンデンサC6とで構成されている。

【0010】以上のような構成の多層プリント基板1において共振周波数を調整する場合には、1層目に形成されている共振周波数調整用導体パターン2aを適宜切除して、共振周波数調整用導体パターン2aと第1の接地用導体3との間の容量を変化させる。共振周波数調整用導体パターン2aはスルーホール9を介してストリップ線路4に接続しているため、共振周波数調整用導体パターン2aを切除することによりストリップ線路4の等価容量成分を変化させることができる。

【0011】すなわち、1層目に設けられた共振周波数調整用導体パターン2aを適宜切除することでストリップ線路4の容量成分C0を変化させ、それによりストリップ線路の共振周波数を調整していた。

【0012】

【発明が解決しようとする課題】しかしながら、上述した従来の共振周波数調整方法では、回路部品が実装される第1層に周波数調整用導体パターンを形成する必要があるため、回路部品の実装面積が少なくなり部品の実装効率が悪くなるので、多層プリント基板1を小型化することが困難であった。

【0013】また、共振周波数を調整する際に切除された導体や絶縁材が多層プリント基板1上に残るために、切除された導体が多層プリント基板1上で微動して部品間の絶縁不良が起り、パルス性のノイズが発生したり、切除された絶縁材が多層プリント基板1上で微動して空間の等価誘電率が変動し、パルス性の位相ノイズが発生したりするので、これらのノイズ成分の増大により発振回路のCNR(Carrier to Noise Ratio)が低下するという問題点があった。

【0014】さらに、シールドケース11により部品の実装面を覆うような構造のものでは、共振周波数の調整が完了した後、多層プリント基板1をシールドケース11で覆う手順となるので、シールドケース11で多層プリント基板1を覆った段階で、シールドケース11の持

つ容量により発振周波数がずれてしまうという問題点があった。

【0015】本発明の課題は、多層プリント基板の部品の実装効率を低下させずにストリップ線路の共振周波数を調整できるようにすることである。また、多層基板の導体等を除去してストリップ線路の共振周波数を調整しても、回路の絶縁不良等が発生しないようにすることである。

【0016】

【課題を解決するための手段】本発明の共振周波数調整方法では、少なくとも一方の面に回路接続用導体が形成され、他方の面に接地用導体が形成され、中間層にストリップ線路が形成された多層基板において、ストリップ線路の一端をスルーホールを介して回路接続用導体に接続し、ストリップ線路の他端側を複数のスルーホールを介して接地用導体に接続する。そして、それらのスルーホールと接地用導体との間の接続を適宜切断することでストリップ線路の共振周波数を調整する。

【0017】

【作用】ストリップ線路の共振周波数を調整する場合には、回路部品が実装された面の反対側の面に形成された接地用導体とスルーホールとの間の接続を適宜切断すると、スルーホールを介して接地されていたストリップ線路が非接地となり、ストリップ線路の実質的な長さが長くなるので、ストリップ線路のインダクタンス成分が大きくなる。

【0018】すなわち、部品実装面の反対側の面に形成された接地用導体とスルーホールとの接続を適宜切断することで、ストリップ線路の共振周波数を所望の周波数に調整することができる。

【0019】本発明では、回路部品の実装面の反対側の面に形成された接地用導体とスルーホールとの間の接続を適宜切断することで、ストリップ線路の共振周波数を調整するようにしたので、従来のように部品実装面に共振周波数調整用の導体パターンを形成する必要がなく、多層基板の部品実装面積を有効に活用できる。

【0020】また、本発明では、部品実装面の反対側の面の導体を除去して共振周波数を調整するようにしたので、除去した導体等が部品実装面に残らず、回路の絶縁不良等に基づく発振回路のCNRの低下等の問題を生じない。

【0021】さらに、発振周波数を調整するときには、部品実装面の反対側の面の接地用導体とスルーホールとの間の接続を切断すればよいので、多層基板をシールドケースで覆う場合にも、シールドケースを多層基板に取り付けた後に共振周波数を調整することが可能となる。従って、従来のように発振周波数の調整後にシールドケースを基板に取り付けたときに、シールドケースの容量の影響で共振周波数がずれるという問題が生じない。

【0022】

【実施例】以下、本発明の実施例を図面を参照しながら説明する。図1は、本発明の共振周波数調整方法に係る4層構造の多層プリント基板21の分解斜視図である。

【0023】多層プリント基板21の1層目には、回路接続用導体2が形成され、2層目には第1の接地用導体3が形成され、3層目にはストリップ線路20が形成され、4層目には第2の接地用導体5が形成されている。そして、各層はそれぞれ層間絶縁材6、7、8で絶縁されている。

【0024】ストリップ線路20の一端はスルーホール9を介して回路接続用導体2に電気的に接続されている。また、ストリップ線路20の他端側には、その長さ方向に縦列に複数のスルーホール22が設けられており、ストリップ線路20はそれらのスルーホール22を介して第2の接地用導体5に電気的に接続されている。

【0025】なお、スルーホール9は、回路接続用導体層から第1の接地用導体3が形成されている層を貫通してストリップ線路20に達しているが、回路接続用導体2が接地されないように第1の接地用導体層のスルーホール9の周りの導体は除去されている。

【0026】さらに、多層プリント基板21の回路部品の実装面は金属性のシールドケース11で覆われ、そのシールドケース11は基板の接地用導体と接続される構造となっている。

【0027】次に、多層プリント基板21の1層目に、図2に示すような発振回路の回路部品が実装されている場合を例に、本発明の共振周波数調整方法に基づいて発振周波数を調整するときの調整動作を説明する。

【0028】図2の発振回路は、ストリップ線路20のインダクタンス成分L0が可変できる点を除けば、図4に示した従来の発振回路と同一である。発振周波数を調整する場合には、第2の接地用導体5の右側（図1の向かって右側）のスルーホール22から順に、その周りの導体をトリミング、あるいは機械的に導体を切除することで、スルーホール22と第2の接地用導体5との間の電気的接続を切断する。

【0029】例えば、スルーホール22の周りの導体を切除して第2の接地用導体5との間の接続を切断すると、切断されたスルーホール22に接続されていたストリップ線路20の該当する部分が非接地となるので、ストリップ線路20のインピーダンスとして有効に作用する部分の長さが長くなり、インダクタンス成分L0が増加する。

【0030】図2の発振回路では、ストリップ線路20のインダクタンス成分L0が増加すると発振周波数が低くなるので、図1の右側のスルーホール22から順にその周りの導体を切除していくことで、発振回路の発振周波数を順次下げていくことができる。

【0031】すなわち、部品実装面の反対側の面のスル

一ホール22の周りの導体(第2の接地用導体5)を順に切除していくことで、発振回路の発振周波数を所望の周波数に調整することができる。

【0032】図1は、発振周波数の調整を行って一番右側のスルーホール22の周りの導体を四角く切除した状態を示している。以上のように、本実施例では、多層プリント基板21の部品実装面の反対側の面に形成された第2の接地用導体5と、ストリップ線路20の長さ方向に縦列に設けられたスルーホール22との接続を順に切

断することで、ストリップ線路20が接続されている発振回路の発振周波数を調整することができる。

【0033】この場合、発振周波数の調整は、部品実装面の反対側の面に形成された接地用導体を切除して行うので、従来のように部品実装面に共振周波数調整用の導体パターンを形成する必要がなく、プリント基板の片面全てを部品実装面として使用でき、多層基板の部品の実装効率を向上させることができる。

【0034】また、本実施例の発振周波数調整方法では、共振周波数を調整する為に除去されるのは、部品実装面の反対側の面の第2の接地用導体5であるので、除去された導体及び絶縁体の影響による発振回路のCNR低下などという問題は発生しない。

【0035】さらに、多層プリント基板21をシールドケース11で覆うような構造となっている場合にも、シールドケース11を多層プリント基板21に取り付けた後、発振周波数を調整することができるので、従来のように多層プリント基板21にシールドケース11を取り付けたときに調整済の発振周波数がずれるという問題が発生しなくなる。

【0036】なお、上記実施例では、4層プリント基板に発振回路を実装した場合について説明したが、少なくとも部品実装面の反対側の面に、ストリップ線路の長さを調整する為のスルーホールを複数設けた導体層を形成できればよいので、本発明は何層のプリント基板にも適用でき、また中間層の構成もどのようなものでも良い。

さらに、ストリップ線路の発振周波数を調整する導体層は、発振回路の回路構成によっては直接接地されていなくとも良い。

【0037】また、本発明は、実施例に述べたコルピッツ発振回路に限らず、ハートレー発振回路などの他の発振回路、更にはフタ回路等他の回路にも適用できる。

【0038】

【発明の効果】本発明は、部品実装面の反対側の面の接地用導体と複数のスルーホールとの間の接続を適宜切断することで、ストリップ線路の共振周波数を調整できるようにしたので、従来のように多層基板の部品実装面に共振周波数調整用の導体パターンを形成する必要がなく、基板の部品実装面積を有効に活用でき、基板サイズを小型化できる。また、共振周波数の調整の為に除去した導体、あるいは絶縁材が、部品実装面に残らないので、除去した導体及び絶縁体の影響によるCNRの低下などの問題も発生しない。さらに、多層基板の部品実装面を金属性のシールドケースなどで磁気シールドする場合に、本発明の調整方法では、シールドケースを基板に取り付けてから共振周波数を調整できるので、従来のように共振周波数の調整後にシールドケースを取り付けた段階で共振周波数がずれるという問題が解消される。

【図面の簡単な説明】

【図1】本発明の実施例の多層プリント基板の分解斜視図である。

【図2】実施例の発振回路の回路構成図である。

【図3】従来の多層プリント基板の分解斜視図である。

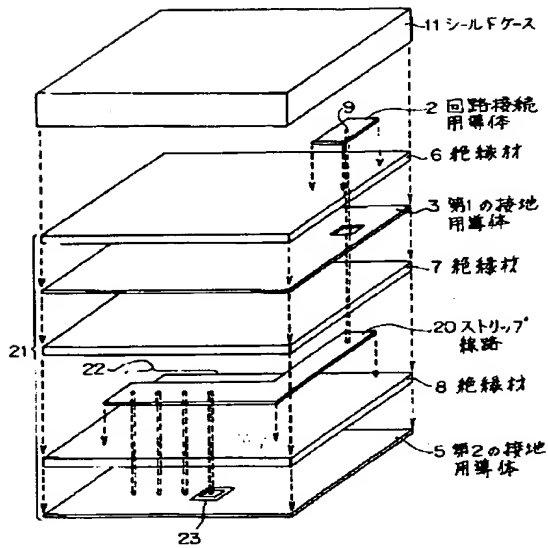
【図4】従来の発振回路の回路構成図である。

【符号の説明】

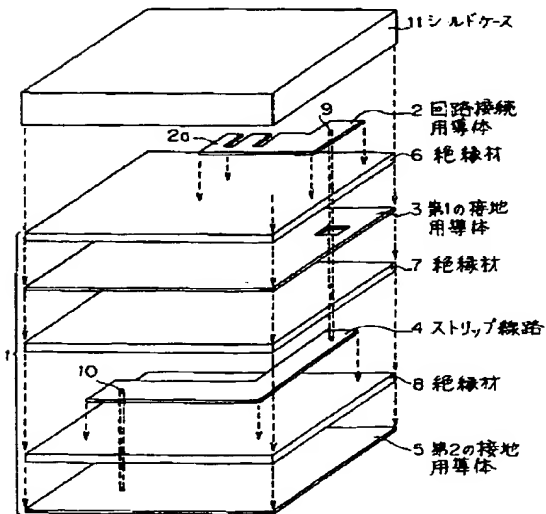
2	回路接続用導体
3	第1の接地用導体
4、20	ストリップ線路
5	第2の接地用導体
9、22	スルーホール



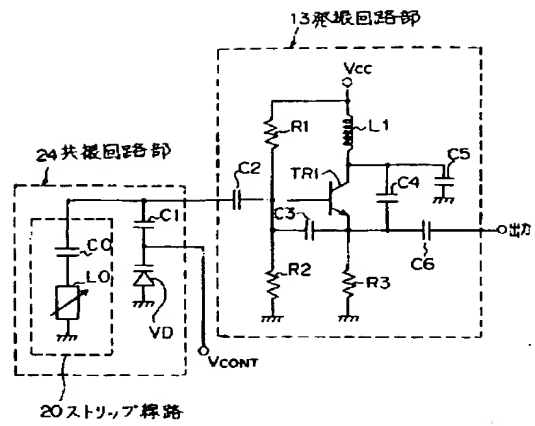
【図1】



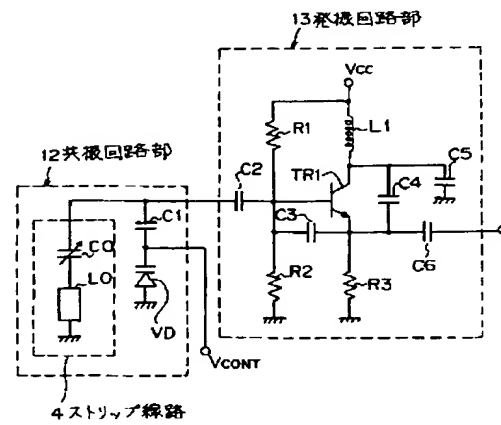
【図3】



【図2】



【図4】



**THIS PAGE BLANK (USPTO)**